

⑤

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-100654

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

G09F 9/30  
H05B 33/14

(21)Application number : 11-277084

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.09.1999

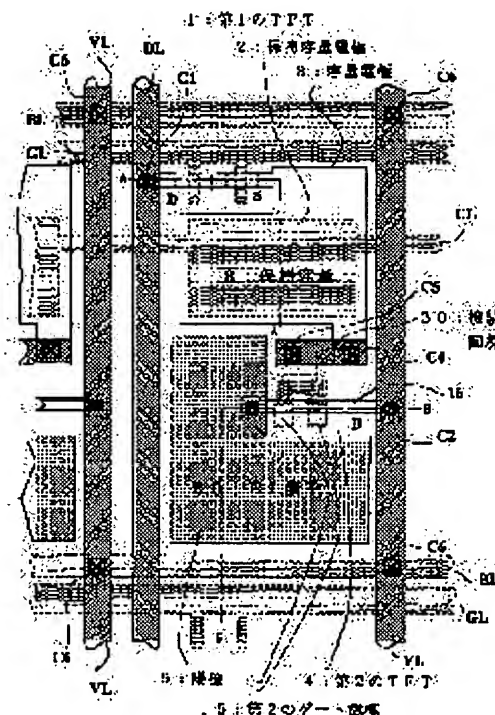
(72)Inventor : NISHIKAWA RYUJI

## (54) EL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an EL display device with which bright display may be obtained by suppressing the lowering of power source current by the resistance of drive lines VL occurring in the distances from drive power source input terminals and supplying the current to be intrinsically supplied to EL elements.

**SOLUTION:** In the respective drive lines VL for supplying the drive current from the drive power source to the organic EL elements 20 formed in display pixel regions having display pixels, the respective drive lines VL arranged at the respective display pixels adjacent to each other are connected to bypass lines BL within the display pixel regions, by which the lowering of the power source current by the resistance of the drive lines VL is suppressed. The bypass lines are formed in the layers lower than the layers where the drive lines VL are formed, by which the superposition on anodes 6 is made possible.



\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]A display pixel characterized by comprising the following is an EL display arranged to matrix form, An EL display having the bypass line which extended in the direction which intersects said drive line, and was electrically connected with said drive line, and was provided in a lower layer rather than said drive line.

An EL element which has a luminous layer between the anode and the negative pole.

A thin film transistor by which a drain of an active layer which consists of semiconductor membrane was electrically connected to a drive line of said EL element, and source of said active layer was electrically connected to said EL element.

[Claim 2]A display pixel characterized by comprising the following is an EL display arranged to matrix form, An EL display having the bypass line which extended in the direction which intersects said drive line, and was electrically connected with said drive line, and was provided in a lower layer rather than said drive line.

An EL element which has a luminous layer between the anode and the negative pole.

The 1st thin film transistor by which a drain of an active layer which comprises semiconductor membrane was connected to a drain line, and a gate was connected to a gate line, respectively.

The 2nd thin film transistor by which a drain of an active layer which consists of said semiconductor membrane was connected to a drive line of said EL element, a gate was electrically connected to source of said 1st thin film transistor, and source was connected to said EL element.

[Claim 3]The EL display according to claim 1 or 2 in which said bypass line is formed between a layer in which said gate was formed, a layer in which said semiconductor membrane was

formed, or a layer of an insulating layer located between said semiconductor membrane and said drive line.

[Claim 4]The EL display according to claim 3 in which at least a part superimposes said bypass line on said anode.

[Claim 5]Claim 1 by which said bypass line is formed for said every display pixel, and contact is formed in a superposed part with said drive line for said every display pixel, claim 2, the EL display according to claim 3 or 4.

[Claim 6]Claim 1 which said thin film transistor becomes from top gate mold structure, claim 2, claim 3, the EL display according to claim 4 or 5.

---

[Translation done.]

## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the electroluminescence display provided with the electroluminescent element and the thin film transistor.

[0002]

[Description of the Prior Art]Recent years, electroluminescence (below Electro Luminescence:.) "EL" is called. The EL display using an element attracts attention as a display which replaces CRT and LCD, For example, research and development of the EL display provided with the thin film transistor (below Thin Film Transistor: calls "TFT".) as a switching element which makes the EL element drive are also furthered.

[0003]The display pixel of an organic electroluminescence display is shown in drawing 7, and the representative circuit schematic of an organic electroluminescence display is shown in drawing 8. The sectional view which met the A-A line of drawing 7 is shown in drawing 9, and the sectional view which met the B-B line of drawing 7 is shown in drawing 10.

[0004]The display pixel is formed in the field surrounded by the gate line GL and drain line DL as shown in a figure. It has TFT of \*\* 1st which is switching element 1 near the intersection of both signal wires, and the source of the TFT1 is connected to the gate 5 of 2nd TFT4 that drives an organic EL device while it serves as the retention volume electrode 2 and the capacity electrode 3 which constitutes capacity. The source of 2nd TFT4 is connected to the anode 6 of an organic EL device, and the drain of another side is connected to drive line VL which drives an organic EL device.

[0005]Said retention volume electrode 2 comprises chromium etc., is superimposed on the 1st source of TFT1, and the capacity electrode 3 of one via the upper gate dielectric film 7, and is accumulating the electric charge by using said gate dielectric film 7 as a dielectric layer. This retention volume 8 holds the voltage impressed to the gate 5 of 2nd TFT4.

[0006]Then, it explains, referring to drawing 7 and drawing 9 for the 1st TFT1 for switching.

[0007]The 1st gate electrode 11 that consists of refractory metals, such as chromium (Cr) and molybdenum (Mo), is formed on the transparent insulating substrate 10 which consists of silica glass, alkali free glass, etc. first. This 1st gate electrode 11 has extended [ two or more ] right and left in the gate line GL and one like drawing 7. On the right of the 1st gate electrode 11 of drawing 9, the retention volume electrode 2 made from the same process as the 1st gate electrode 11 is formed. Since this retention volume electrode 2 constitutes capacity like drawing 7, it has the expanded portion between TFT of \*\* 1st1, and the 2nd TFT4, and these comprise retention volume line CL and one which extended right and left.

[0008]Then, the 1st active layer 12 that consists of a polycrystalline silicon (p-Si is called.) film via the gate dielectric film 7 is formed. As for this active layer 12, LDD (Lightly Doped Drain) structure is adopted. That is, a low concentration area is established in the both sides of a gate, and also outside, the high-concentration source region and drain area are provided. The stopper insulator layer 13 is formed on said active layer 12. This stopper insulator layer 13 is an ion-implantation blocking film to the active layer 12.

Here, a Si oxide film is comprised.

[0009]And on the gate dielectric film 7, the active layer 12, and the stopper insulator layer 13. For example, drain line DL which changes is electrically connected with the drain electrode via the contact hole C1 which the interlayer insulation film 14 in which the SiO<sub>2</sub> film, the SiN film, and the SiO<sub>2</sub> film were laminated in order was formed, and was established in the drain. In order to make surface unevenness flat, the flattening film PLN which comprises organic resin, for example is formed in the whole surface. Since an EL display is a current drive, it must be thickness with a uniform EL layer. It is because current concentration occurs in a portion with thin thickness. Therefore, at least, since surface smoothness with this remarkable formation area is required, said flattening film PLN is adopted.

[0010]Next, the 2nd TFT4 that drives an organic EL device is explained with reference to drawing 10.

[0011]On the insulating substrate 10 mentioned above, the 2nd gate electrode 15 of said 1st gate 11 and an identical material is formed.

The 2nd active layer 16 is formed via the gate dielectric film 7.

On the active layer, the stopper insulator layer 17 is formed like the above-mentioned.

[0012]In said active layer 16, the source region and the drain area of a p type impurity are established in the gate electrode 15 upper part at the both sides of the channel which is genuineness genuineness or substantially, and this channel, and the p type channel TFT is constituted.

[0013]And the interlayer insulation film 14 mentioned above is formed in the whole surface.

And drive line VL is electrically connected via the contact hole C2. The flattening film PLN mentioned above is formed in the whole surface, and sauce is exposed to it by the contact hole C3. And the transparent electrode (anode of an organic EL device) 6 which comprises ITO (Indium Thin Oxide) via this contact hole is formed.

[0014]The organic EL device 20, Said anode 6, MTDATA. (4-bis) [ 4, ] (3-methylphenylphenylamino) The 1st hole transporting bed 21 which comprises biphenyl, And the 2nd hole transporting bed 22 which consists of TPD(s) (4, 4, and 4-tris(3-methylphenylphenylamino) triphenylamine), Bebq2 containing the Quinacridone (Quinacridone) derivative (10-BENZO) [h]In this turn, light emitting element layer EM which consists of the electron transport layer 24 which comprises the luminous layer 23 which comprises a quinolinol beryllium complex, and Bebq2, and the negative pole 25 which comprises a magnesium indium alloy are the structures by which laminating formation was carried out, and is provided all over the parenchyma of an organic EL device.

[0015]The hole poured in from the anode 6 and the electron poured in from the negative pole 25 recombine the luminescence principle of an organic EL device, and operation inside luminous layer EM, and they excite the organic molecule which forms luminous layer EM, and generate an exciton. Light is emitted from a luminous layer in the process in which this exciton carries out radiation inactivation, and from the transparent anode, this light is emitted to the exterior via a transparent insulating substrate, and emits light.

[0016]Thus, it is accumulated in the retention volume 8 and impressed by the gate 15 of 2nd TFT4, and according to the voltage, the electric charge supplied from the 1st sauce S of TFT1 carries out the current drive of the organic EL device, and emits light.

[0017]

[Problem(s) to be Solved by the Invention]However, it is connected to the driving source input terminal T provided outside the display picture element region, it is connected for every display pixel perpendicularly located in a line, and drive line VL which drives an organic EL device as shown in drawing 8 is arranged. Therefore, since resistance of drive line VL becomes large according to the length as it keeps away from the driving source input terminal T, The current which should be supplied essentially was no longer supplied to the organic EL device of the display pixel in a position far from the driving source input terminal T, the display became dark, and there was a fault which display unevenness generates.

[0018]Then, in view of the above-mentioned conventional fault, it succeeds in this invention, and it is a thing.

The purpose is to provide the EL display which the fall of the power supply current by resistance of VL can be controlled, and the current which should be supplied essentially can supply an EL element, and can obtain a bright display.

[0019]

[Means for Solving the Problem] This invention makes homogeneity more resistance of a drive line located in each display pixel, as mentioned above, and the 1st and the 2nd, Each of a drive line is provided in the direction which intersects an extending direction, and it is electrically connected with a drive line and solves by providing a bypass line in a lower layer position rather than said drive line.

[0020] For example, if a bypass line which grows into a layer in which a gate line was formed with chromium is provided and a drive line is contacted, even if it means that a drive line was formed in the shape of a lattice and it keeps away from a driving source input terminal, a rate that resistance falls will be controlled rather than the conventional thing.

[0021] It solves by 3rd forming a bypass line in a layer in which a gate was formed, a layer in which semiconductor membrane was formed, or an insulating layer located between semiconductor membrane and a drive line.

[0022] Although a drive line and a bypass line can originally be formed in a same layer, they need an arrangement area of the part bypass line. However, for example, it can be made to superimpose on the anode by putting on a lower layer of a bypass line. and -- between the anode and bypass lines -- \*\*\*\*\* -- since an insulating layer is formed thickly, a problem of parasitic capacitance is also controlled.

[0023] The 4th can be made to control expansion-ization of a viewing area therefore expanded to arrangement of a bypass line by making at least a part of bypass line superimpose on said anode, as mentioned above. A part made to control and other components can also be made to expand.

[0024] It solves by 5th forming a bypass line for said every display pixel, and forming contact in a superposed part with said drive line.

[0025] To the above-mentioned, a bypass line is effective by at least one. However, if there is no bypass line for every display pixel, nonuniformity of a display pixel will occur too by the existence. Here, this is controlled further.

[0026] This invention is [ 6th ] realizable also by bottom product gated mode structure or top gate mold structure.

[0027]

[Embodiment of the Invention] The EL display of this invention is explained. The portion which the portion by which the field which drawing 1 was what showed the display pixel of the EL display with the top view, and it was surrounded by the dotted line and carried out hatching at the point is surrounded as the field and solid line which were formed with the gate material, and hatching is not carried out was surrounded as P-Si layer and the solid line, and carried out hatching at the slanting point is a portion which changes with transparent electrode material. The portion by which was surrounded as the solid line and hatching was carried out by the

slanting line is a portion formed with the metallic material which makes aluminum the charge of a principal member.

[0028]Drawing 2 is an A-A line sectional view of drawing 1, and drawing 3 is a B-B line sectional view. Drawing 4 is the representative circuit schematic. The portion surrounded by the dotted line in drawing 4 shows a display picture element region.

[0029]In this embodiment, the 1st, the 2nd TFT1, and 4 have adopted TFT of a bottom product gated mode, and use p-Si film as an active layer. The gate electrodes 11 and 15 are double gated structures.

[0030]With reference to drawing 1 - drawing 3, the organic electroluminescence display is explained concretely.

[0031]First, there is the transparent substrate 10 in which the surface has insulation at least. According to this embodiment, in order to protect an EL element from moisture, it is installed in the upper surface so that a metal cap (can) may close an EL material. The metal cap omitted in the figure. Since this metal cap is installed, in order to take out luminescent light from said transparent substrate 10, the substrate 10 does not need to be transparent when taking out luminescent light from the upper part, although it needs to be transparent. Here, the transparent substrate 10 which comprises glass, a synthetic resin, etc. is adopted.

[0032]On this transparent substrate 10, the gate line GL was formed along with the upper part neighborhood of one display pixel of drawing 1 at right and left, and the bypass line BL has extended right and left the bottom neighborhood. In order to form the retention volume electrode 2 which acts as a lower layer electrode of the retention volume 8 and to connect this retention volume electrode 2 of each other, retention volume line CL has extended right and left. Since these both the lines GL and CL become by a same layer, hatching of them has been carried out at the point. As a material, since P-Si is adopted as the upper layer, refractory metals, such as Cr and Ta, are adopted. Here, about 1000-2000-A Cr is formed in sputtering. Step coverage is taken into consideration in the case of patterning, and the side is processed into taper shape.

[0033]Then, the gate dielectric film 7 and a semiconductor layer are laminated and formed in the whole surface. Here, it is formed by plasma CVD also including a-Si which is the material of the capacity electrode 3 which is an upper electrode of said gate dielectric film 7, the active layers 12 and 16, and the retention volume 8. Specifically, about 500 A Si nitride, about 1300 A Si oxide film, and about 500-A a-Si are formed by continuation plasma CVD from a lower layer.

[0034]Dehydration annealing is performed in the nitrogen atmosphere of about 400 degrees, and this a-Si is P-Si-ized by excimer laser after that. The numerals 13 and 17 are stopper insulator layers which comprise a Si oxide film, and serve as a mask at the time of the ion implantation of the active layers 12 and 16. TFT of \*\* 1st1 uses this stopper insulator layer 13



as a mask, P (Lynn) ion is poured in, N channel type sauce and a drain are formed, B (boron) ion is poured in and, as for the 2nd TFT4, P channel type sauce and a drain are formed.

[0035]It is patterned by photolithographic technique like drawing 1. That is, 1st P-Si layer of TFT1 is a lower part of the upper left intersection of the gate line GL and drain line DL, and after it is overlapped on drain line DL and extends the upper layer of the gate electrode 11, it has extended as the capacity electrode 3 superimposed on the retention volume electrode 2. This capacity electrode 3 extends in the lower layer of connection wiring 30 right end used in order to electrically connect with the gate electrode 15 of 2nd TFT4. On the other hand, P-Si layer of 2nd TFT4 extended the 2nd gate electrode 15 top from the lower layer of right-hand side drive line VL, and has extended in the lower layer of the anode 6 which comprises a transparent electrode.

[0036]And the interlayer insulation film 14 is formed in the whole surface. As for this interlayer insulation film 14, three layer systems of about 1000 Å Si oxide film, about 3000 Å Si nitride, and a 1000-Å Si oxide film are formed by the continuation CVD from the bottom. This interlayer insulation film should just exist further at least. Thickness is not restricted to this, either.

[0037]Next, drain line DL, drive line VL, and the connection wiring 30 which carried out hatching by the slanting line of drawing 1 are formed in the upper layer of the interlayer insulation film 14. Naturally contact is formed and, as for the contact hole C1 of drain line DL and the 1st semiconductor layer of TFT1, the contact hole C2 of drive line VL and the semiconductor layer of 2nd TFT4, and the contact hole C4 of the connection wiring 30 and the capacity electrode 3, each semiconductor layer is exposed. Since gate dielectric film is laminated too much unlike the above-mentioned contact hole, the contact hole C5 of the connection wiring 30 and the 2nd gate electrode 15 and the contact hole C6 of drive line VL used as the feature of this invention and the bypass line BL are etched, and Cr is exposed. This line material is the structure where 7000-Å aluminum was laminated by the lower layer at 1000-Å Mo and the upper layer, and Mo is a barrier layer. The contact hole C3 is mentioned later.

[0038]The further about 2-3-micrometer flattening film PLN is formed in the whole surface. It is in the film for organic electroluminescence described also by the conventional example as one of the reasons for adoption of this flattening film PLN. This film comprises the 1st hole transporting bed 21, 2nd hole transporting bed 22, luminous layer 23, and electron transport layer 24. A hole transporting bed may comprise one layer. Therefore, an organic layer is a layered product of a very thin film. This point generates degradation of an organic layer, and when the worst, it results in destruction, at the same time the luminescent spot which current flows in large quantities via the thin portion of thickness, and shines with that portion particularly will occur if such thickness is not formed very uniformly since an EL element is a current drive. Therefore, in order to prevent this destruction, the whole surface containing the

anode 6 needs to be flat as much as possible, acrylic liquefied resin is applied and after hardening becomes flat here. Of course, it cannot be overemphasized that this flattening film PLN is not restricted to this.

[0039]Here, since the sauce of 2nd TFT4 is connected with the anode 6, the opening of the flattening film PLN and the interlayer insulation film 14 is carried out, and the contact hole C3 where the 2nd active layer 16 was exposed is formed.

[0040]The organic layer which constitutes an EL element is formed at least on the anode 6. First on the anode 6, The 1st hole transporting bed 21 which comprises MTDATA (4 and 4-bis (3-methylphenylphenylamino) biphenyl), and TPD (4, 4, and 4-tris (3-methylphenylpheny.)) The 2nd hole transporting bed 22 which consists of laminotriphenylanine, Bebq2 containing the Quinacridone (Quinacridone) derivative (10-BENZO) [h]It is the structure where laminating formation of the negative pole 25 which comprises light emitting element layer EM which consists of the electron transport layer 24 which comprises the luminous layer 23 which comprises a quinolinol beryllium complex, and Bebq2, a magnesium indium alloy, the alloy of aluminum and Ti, or LiF was carried out in this turn. Since the thickness of the organic layer is mentioned above, refer to it for it. The negative pole 25 adopts the alloy of aluminum and Ti, and the thickness is 1000-2000A.

[0041]Although the anode 6 needs to be patterned for every pixel, the film on the anode 6 is distinguished by structure here.

\*\* : the 2nd structure that the negative pole 25 is not patterned but is substantially formed by solid one throughout a viewing area in 1st structure \*\*: \*\* patterned for every pixel from the anode 6 to the negative pole 25.

\*\* : the 3rd structure of said solid structure where only the anode 6 was patterned for every pixel like drawing 1, and the negative pole was \*\*\*\*(ed) throughout the viewing area from the upper layer of the anode.

[0042]However, since the negative pole 6 is not patterned specially, generally whole surface solid structure has been used for it. In the drawing, as the anode 6 and the negative pole 25 have short-circuited, it is illustrated, but since the organic layer of the EL element is thoroughly covered also including the anode 6 circumference, the short circuit is prevented. This is the same also at a conventional example. Another flattening film may be formed on the flattening film PLN so that the edge of the anode 6 may be covered.

[0043]The metal cap which covers the EL layer of a viewing area or all the EL layers is formed. It is because an EL layer will deteriorate if water is absorbed moisture, and protection is needed against permeation of water. Therefore, an EL layer is not degraded, it is good also as substitution of a cap by a damp-proof high film, for example, a resin layer, and also a metal cap may be carried out on this.

[0044]The hole poured in from the anode 6 and the electron poured in from the negative pole

25 recombine the luminescence principle of an organic EL device, and operation inside luminous layer EM, and they excite the organic molecule which forms luminous layer EM, and generate an exciton. Light is emitted from a luminous layer in the process in which this exciton carries out radiation inactivation, and from the transparent anode, this light is emitted to the exterior via a transparent insulating substrate, and emits light.

[0045]The feature of this invention is in the bypass line BL.

[0046]In the viewing area enclosed with a dotted line, it has extended in the column direction, it is connected to each display pixel of a column direction, and drive line VL supplies driving current so that clearly also from the equivalent circuit of drawing 4. As this viewing area becomes extraordinary length and it stated also to the column of the issue which it is going to solve, a resisted part occurs, but it is making it connect with the bypass line BL which made the line writing direction extend, and the voltage of same electric potential will be impressed to the adjoining display pixel. Since it will be supplied from various directions by drive line VL and the bypass line BL in which current was also formed in the shape of a lattice and the current which should be essentially supplied to the organic EL device formed in each display pixel can be supplied, The fall of the luminosity of the display deterioration by a resisted part mentioned above and a display can be prevented.

[0047]If it forms in the layer in which the gate was formed like the bypass line BL of drawing 3, it will become movable in the direction shown by an arrow. That is, if the bypass line BL formed between the anode 6 of drawing 1 and the gate line GL is seen and explained, the bypass line BL, The area increase by arranging the bypass line BL can be controlled by being able to make at least a part superimpose on the anode 6, and making it superimpose. Since the gate dielectric film 7, the interlayer insulation film 14, and the flattening film PLN intervene between the gate line GL and the anode 6, most parasitic capacitance generated in the meantime can be disregarded.

[0048]Rather than drive line VL, the position of the bypass line BL should just be located in a lower layer, and explains other examples to drawing 5 and drawing 6.

[0049]As for drawing 5, the bypass line BL is formed on the gate dielectric film 7. When simplifying a process here, it comprises P-Si, but the refractory metal mentioned above may be sufficient.

[0050]Since drawing 6 is after the bypass line BL was formed between the layers of an interlayer insulation film and P-Si was formed here, and the rise in heat of a manufacturing process is not so severe, either, the material which uses aluminum as the main ingredients, a high-melting point metallic material, and P-Si can be used for the bypass line BL. Since a Si oxide film, Si nitride, and a Si oxide film are formed from a lower layer, the interlayer insulation film can arrange said bypass line BL among these. Of course, superposition in the anode is also possible. However, increase of parasitic capacitance is not escaped as it arranges in the

upper layer. The dotted line formed in the interlayer insulation film 14 shows the interface between layers.

[0051]The insertion number of the bypass line BL is described. That is, in drawing 4, if at least one number of the bypass line BL is formed, the reduction in resistance can be controlled. However, if it arranges for every pixel, the current which distribution of resistance and distribution of voltage become still more uniform, and originally flows, i.e., the luminosity which should emit light, can be made to reproduce more faithfully.

[0052]As mentioned above, although bottom product gated mode structure has explained, this invention is employable also by top gate mold structure. In top gate type TFT, on a transparent substrate, For example, the active layer, the gate dielectric film, the gate, the interlayer insulation film, and metal wiring which comprise P-Si are laminated (this upper layer bottom product gated mode structure and parenchyma the same structure), on a transparent substrate, on gate dielectric film, it is Cr and a refractory metal, and is said Al material and a high-melting point metallic material, and, for a \*\* reason, wiring can be formed.

[0053]Finally, bypass-line BL0 arranged at the outside of a display picture element region is described. The rectangle which an outside solid line is an outside of an EL display, and a thick solid line is bypass-line BL0 connected with the driving source, and is most shown further in the bottom of it by drawing 4 is the field in which the drive circuit was formed. That is, the gestalt from a viewing area to the outside of a transparent substrate is shown typically. A drive circuit is made from P-Si here. As shown also in a figure, it is connected with a circuit and drain line DL is carrying out the conclusion of an end in the drive circuit formation area, and drain line DL is not formed between the drive circuit formation area and the outside. Therefore, there is also no intersection with drain line DL, and as shown in a figure, bypass-line BL0 has a space which can extend thickly right and left. And bypass-line BL0 can be formed by drain line DL or drive line VL, and a same layer, and it can form wiring with the material which uses aluminum as the main ingredients. Therefore, the voltage reduced [ resistance of bypass-line BL0 self can be reduced greatly, and ] the resistance of drive line VL more simultaneously stabilized can be supplied.

[0054]In an above-mentioned embodiment, although p-Si film was used as semiconductor membrane, semiconductor membrane, such as a microcrystal silicon film or an amorphous silicon film, may be used.

[0055]In an above-mentioned embodiment, although the organic electroluminescence display was explained, this invention is not limited to it, a luminous layer can apply it also to the inorganic EL display which comprises an inorganic material, and the same effect is acquired.

[0056]

[Effect of the Invention]By providing each of a drive line in the direction which intersects an extending direction, electrically being connected with a drive line and providing a bypass line in

the 1st rather than said drive line at a lower layer position so that clearly also from the above explanation. Even if it means that the drive line was formed in the shape of a lattice and it keeps away from a driving source input terminal, the rate that resistance falls can be made to control rather than the conventional thing.

[0057]Although a drive line and a bypass line can originally be formed in a same layer, they need the arrangement area of the part bypass line. However, for example, it can be made to superimpose on the anode by putting on the lower layer of a bypass line. and -- between the anode and bypass lines -- \*\*\*\*\* -- since an insulating layer is formed thickly, the problem of parasitic capacitance is also controlled.

[0058]Expansion-ization of the viewing area therefore expanded to arrangement of a bypass line can be made to control by making at least a part of bypass line superimpose on said anode, as mentioned above. The part made to control and other components can also be made to expand.

[0059]The nonuniformity of each display pixel can be made to control more by forming a bypass line for said every display pixel, and forming contact in a superposed part with said drive line.

[0060]Therefore, increase of resistance by the length of a drive line can be reduced, the current which should be supplied essentially can be supplied to the EL element of each display pixel, and expansion-ization of EL viewing area can also obtain simultaneously deter the EL display which can prevent becoming a dark display.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1]It is a top view of the display pixel of the EL display of this invention.

[Drawing 2]It is a sectional view of the A-A line of drawing 1.

[Drawing 3]It is a sectional view of the B-B line of drawing 1.

[Drawing 4]It is a representative circuit schematic of the EL display of this invention.

[Drawing 5]It is a figure explaining the locating position of the bypass line BL of drawing 3.

[Drawing 6]It is a figure explaining the locating position of the bypass line BL of drawing 3.

[Drawing 7]It is a top view of the display pixel of the conventional EL display.

[Drawing 8]It is a representative circuit schematic of the conventional EL display.

[Drawing 9]It is a sectional view of the A-A line of drawing 7.

[Drawing 10]It is a sectional view of the B-B line of drawing 7.

[Description of Notations]

1 The 1st TFT

2 Retention volume electrode

3 Capacity electrode

4 The 2nd TFT

6 Anode

7 Gate dielectric film

8 Retention volume

14 Interlayer insulation film

20 EL element

GL Gate line

DL Drain line

CL Retention volume line

VL Drive line VL

BL Bypass line BL

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-100654

(P2001-100654A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 3 K 0 0 7
H 0 5 B 33/14		H 0 5 B 33/14	A 5 C 0 9 4

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平11-277084

(22) 出願日 平成11年9月29日 (1999.9.29)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 西川 龍司

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

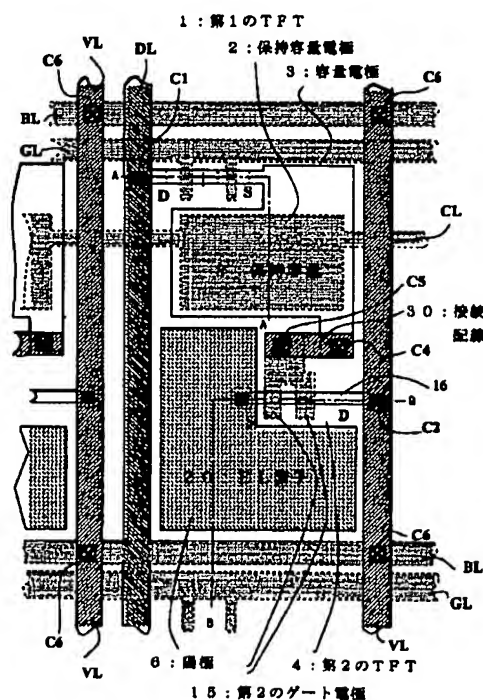
最終頁に続く

(54) 【発明の名称】 EL表示装置

(57) 【要約】

【課題】 駆動電源入力端子からの距離に起因する駆動ラインVLの抵抗による電源電流の低下を抑制し、本来供給されるべき電流がEL素子に供給して、明るい表示を得ることができるEL表示装置を提供する。

【解決手段】 表示画素を備えた表示画素領域に形成された有機EL素子20に駆動電源からの駆動電流を供給するための各駆動ラインVLに於いて、隣接する各表示画素に配置された各駆動ラインVLは、表示画素領域内においてバイパスラインBLに接続されており、それによって駆動ラインVLの抵抗による電源電流の低下を抑制する。しかも駆動ラインVLの形成された層よりも下層に形成され、陽極6との重量も可能となる。





## 【特許請求の範囲】

【請求項 1】 陽極と陰極との間に発光層を有する E L 素子と、半導体膜からなる能動層のドレインが前記 E L 素子の駆動ラインに電気的に接続され、前記能動層のソースが前記 E L 素子に電気的に接続された薄膜トランジスタとを備えた表示画素がマトリクス状に配列して成る E L 表示装置であり、前記駆動ラインと交差する方向に延在され、且つ前記駆動ラインと電気的に接続され、前記駆動ラインよりも下層に設けられたバイパスラインを有する事を特徴とする E L 表示装置。

【請求項 2】 陽極と陰極との間に発光層を有する E L 素子と、半導体膜から成る能動層のドレインがドレインラインに接続され、ゲートがゲートラインにそれぞれ接続された第 1 の薄膜トランジスタと、前記半導体膜からなる能動層のドレインが前記 E L 素子の駆動ラインに接続され、ゲートが前記第 1 の薄膜トランジスタのソースに電気的に接続され、ソースが前記 E L 素子に接続された第 2 の薄膜トランジスタとを備えた表示画素がマトリクス状に配列して成る E L 表示装置であり、前記駆動ラインと交差する方向に延在され、且つ前記駆動ラインと電気的に接続され、前記駆動ラインよりも下層に設けられたバイパスラインを有する事を特徴とする E L 表示装置。

【請求項 3】 前記バイパスラインは、前記ゲートが形成された層、前記半導体膜が形成された層、または前記半導体膜と前記駆動ラインとの間に位置する絶縁層の層間に形成される請求項 1 または請求項 2 に記載の E L 表示装置。

【請求項 4】 前記バイパスラインは、少なくとも一部が前記陽極と重畳して成る請求項 3 に記載の E L 表示装置。

【請求項 5】 前記バイパスラインは、前記表示画素毎に形成され、前記駆動ラインとの重畳部には前記表示画素毎にコンタクトが形成される請求項 1、請求項 2、請求項 3 または請求項 4 に記載の E L 表示装置。

【請求項 6】 前記薄膜トランジスタは、トップゲート型構造からなる請求項 1、請求項 2、請求項 3、請求項 4 または請求項 5 に記載の E L 表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エレクトロルミネッセンス素子及び薄膜トランジスタを備えたエレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「E L」と称する。) 素子

を用いた E L 表示装置が、C R T や L C D に代わる表示装置として注目されており、例えば、その E L 素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「T F T」と称する。) を備えた E L 表示装置の研究開発も進められている。

【0003】図 7 に有機 E L 表示装置の表示画素を示し、図 8 に有機 E L 表示装置の等価回路図を示す。また、図 9 に図 7 の A-A 線に沿った断面図を示し、図 10 に図 7 の B-B 線に沿った断面図を示す。

【0004】図に示すように、ゲートライン G L とドレインライン D L とに囲まれた領域に表示画素が形成されている。両信号線の交点付近にはスイッチング素子である第 1 の T F T 1 が備えられており、その T F T 1 のソースは、保持容量電極 2 と容量を構成する容量電極 3 を兼ねるとともに、有機 E L 素子を駆動する第 2 の T F T 4 のゲート 5 に接続されている。第 2 の T F T 4 のソースは有機 E L 素子の陽極 6 に接続され、他方のドレインは有機 E L 素子を駆動する駆動ライン V L に接続されている。

【0005】また、前記保持容量電極 2 はクロム等から成っており、上層のゲート絶縁膜 7 を介して第 1 の T F T 1 のソースと一体の容量電極 3 と重畳し、前記ゲート絶縁膜 7 を誘電体層として電荷を蓄積している。この保持容量 8 は、第 2 の T F T 4 のゲート 5 に印加される電圧を保持している。

【0006】続いて、スイッチング用の第 1 の T F T 1 について図 7 と図 9 を参照しながら説明する。

【0007】まず石英ガラス、無アルカリガラス等からなる透明な絶縁性基板 10 上に、クロム (C r)、モリブデン (M o) などの高融点金属からなる第 1 のゲート電極 11 が設けられている。この第 1 のゲート電極 11 は、図 7 のようにゲートライン G L と一体で例えば左右に複数本並行に延在されている。また図 9 の第 1 のゲート電極 11 の右隣には、第 1 のゲート電極 11 と同一工程で作られた保持容量電極 2 が形成されている。この保持容量電極 2 は、図 7 の様に容量を構成するため、第 1 の T F T 1 と第 2 の T F T 4 の間で、拡大された部分を有し、これらは左右に延在された保持容量ライン C L と一体で構成されている。

【0008】続いて、ゲート絶縁膜 7 を介して多結晶シリコン (p-S i と称する。) 膜からなる第 1 の能動層 12 が形成されている。この能動層 12 は、L D D (Lightly Doped Drain) 構造が採用されている。即ち、ゲートの両側に低濃度領域が設けられ、更に外側には、高濃度のソース領域及びドレイン領域が設けられている。前記能動層 12 の上には、ストッパ絶縁膜 13 が設けられている。このストッパ絶縁膜 13 は、能動層 12 へのイオン注入阻止膜であり、ここでは S i 酸化膜から成る。

【0009】そして、ゲート絶縁膜 7、能動層 12 及び

ストップ絶縁膜13上には、例えば、順に $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜及び $\text{SiO}_2$ 膜が積層された層間絶縁膜14が設けられ、ドレインに設けたコンタクトホールC1を介してドレイン電極と成るドレインラインDLが電氣的に接続されている。更に全面には、表面の凹凸を平坦にするため、例えば有機樹脂から成る平坦化膜PLNが形成されている。EL表示装置は、電流駆動なので、EL層が均一な膜厚でなければならない。膜厚が薄い部分で電流集中が発生するからである。従って少なくともこの形成領域は、かなりの平坦性が要求されるため、前記平坦化膜PLNが採用される。

【0010】次に、有機EL素子を駆動する第2のTFT4について図10を参照して説明する。

【0011】前述した絶縁性基板10上には、前記第1のゲート11と同一材料の第2のゲート電極15が設けられており、ゲート絶縁膜7を介して第2の能動層16が設けられている。前述と同様に能動層の上にはストップ絶縁膜17が設けられている。

【0012】前記能動層16には、ゲート電極15上方に真性又は実質的に真性であるチャンネルと、このチャンネルの両側に、p型不純物のソース領域及びドレイン領域が設けられp型チャンネルTFTを構成している。

【0013】そして全面には、前述した層間絶縁膜14が形成されている。そしてコンタクトホールC2を介して駆動ラインVLが電氣的に接続されている。更に全面には、前述した平坦化膜PLNが形成され、コンタクトホールC3によりソースが露出されている。そしてこのコンタクトホールを介してITO (Indium Thin Oxide) から成る透明電極(有機EL素子の陽極)6が形成されている。

【0014】有機EL素子20は、前記陽極6、MTDATA (4,4-bis(3-methylphenylphenylamino)biphenyl) から成る第1ホール輸送層21、及びTPD (4,4,4-tris(3-methylphenylphenylamino)triphenylamine) から成る第2ホール輸送層22、キノクリドン (Quinacridone) 誘導体を含むBebq2 (10-ベンゾ[h]キノリノールベリリウム錯体) から成る発光層23及びBebq2から成る電子輸送層24からなる発光素子層EM、マグネシウム・インジウム合金から成る陰極25がこの順番で積層形成された構造であり、有機EL素子の実質全面に設けられている。

【0015】有機EL素子の発光原理および動作は、陽極6から注入されたホールと、陰極25から注入された電子とが発光層EMの内部で再結合し、発光層EMを形成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0016】このように、第1のTFT1のソースSから供給された電荷が保持容量8に蓄積され、第2のTFT

T4のゲート15に印加され、その電圧に応じて有機EL素子を電流駆動し、発光する。

【0017】

【発明が解決しようとする課題】ところが、図8に示すように有機EL素子を駆動する駆動ラインVLは、表示画素領域外に設けた駆動電源入力端子Tに接続されており、そして縦に並んだ表示画素ごとに接続されて配置されている。そのため、駆動電源入力端子Tから遠ざかるにつれて駆動ラインVLの抵抗がその長さに応じて大きくなるので、駆動電源入力端子Tから遠い位置にある表示画素の有機EL素子には本来供給されるべき電流が供給されなくなり、表示が暗くなり、表示ムラが発生する欠点があった。

【0018】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、駆動ラインVLの抵抗による電源電流の低下を抑制し、本来供給されるべき電流がEL素子に供給して、明るい表示を得ることができるEL表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明は、前述したように各表示画素に位置する駆動ラインの抵抗をより均一にするもので、第1、第2は、駆動ラインのそれぞれを、延在方向と交差する方向に設けると共に、駆動ラインと電氣的に接続され、前記駆動ラインよりも下層の位置にバイパスラインを設けることで解決するものである。

【0020】例えば、ゲートラインが形成された層に、クロムで成るバイパスラインを設け、駆動ラインとコンタクトすれば、駆動ラインは、格子状に形成されたことになり、駆動電源入力端子から遠ざかっても、抵抗値の下がる割合は、従来のものよりも抑制される。

【0021】第3に、バイパスラインを、ゲートが形成された層、半導体膜が形成された層、または半導体膜と駆動ラインとの間に位置する絶縁層に形成する事で解決するものである。

【0022】駆動ラインとバイパスラインは、本来同層にて形成できるが、その分バイパスラインの配置面積を必要とする。しかしバイパスラインの下層に置くことで、例えば陽極と重畳させることができる。しかも陽極とバイパスラインの間には、からり厚く絶縁層が形成されるため、寄生容量の問題も抑制される。

【0023】第4に、前述したようにバイパスラインの少なくとも一部を前記陽極と重畳させることで、バイパスラインの配置に依って拡大する表示領域の拡大化を抑制させることができる。また抑制させた分、他の構成要素を拡大させることもできる。

【0024】第5に、バイパスラインを、前記表示画素毎に形成し、前記駆動ラインとの重畳部にコンタクトを形成する事で解決するものである。

【0025】前述までは、バイパスラインは、少なくとも1本で効果がある。しかし表示画素毎にバイパスライ

ンが無いと、その有無により表示画素のムラがやはり発生する。ここでは、これを更に抑制する。

【0026】第6に、本発明は、ボトムゲート型構造でも、トップゲート型構造でも実現できる。

【0027】

【発明の実施の形態】本発明のEL表示装置について説明する。図1は、EL表示装置の表示画素を平面図で示したもので、点線で囲まれ点でハッチングした領域は、ゲート材料で形成された領域、実線で囲まれハッチングされていない部分は、P-Si層、実線で囲まれ斜め点

でハッチングした部分は、透明電極材料で成る部分である。更に実線で囲まれ斜め線でハッチングされた部分が、Alを主材料とする金属材料で形成された部分である。

【0028】図2は、図1のA-A線断面図であり、図3は、B-B線断面図である。更に図4は、その等価回路図である。尚図4に於いて点線で囲まれた部分は、表示画素領域を示す。

【0029】なお、本実施の形態においては、第1、第2のTFT1、4ともに、ボトムゲート型のTFTを採用しており、能動層としてp-Si膜を用いている。またゲート電極11、15は、ダブルゲート構造である。

【0030】では、図1～図3を参照し、有機EL表示装置を具体的に説明していく。

【0031】まず、少なくとも表面が絶縁性を有する透明基板10がある。本実施の形態では、EL素子を水分から保護するため、メタルキャップ（カン）がEL材料を封止するように上面に設置されている。尚、図においてメタルキャップは省略をした。このメタルキャップが設置されているため発光は、前記透明基板10から取り出すため、基板10は、透明である必要があるが、発光を上方から取り出す場合は、透明である必要はない。ここでは、ガラスや合成樹脂などから成る透明基板10を採用している。

【0032】この透明基板10の上には、図1の一表示画素の上側辺に沿って、左右にゲートラインGLが設けられ、下側辺にはバイパスラインBLが左右に延在されている。また保持容量8の下層電極として作用する保持容量電極2が設けられると共に、この保持容量電極2をお互いにつなぐため、保持容量ラインCLが左右に延在されている。これら両ラインGL、CLは、同層でなるため、点でハッチングしてある。また材料としては、上層にP-Siを採用する理由からCrやTa等の高融点金属が採用される。ここでは、約1000～2000ÅのCrがスパッタリングにて形成されている。またパターンニングの際は、ステップカバレッジが考慮され、側辺はテーパ形状に加工されている。

【0033】続いて、全面にはゲート絶縁膜7と半導体層が積層されて形成されている。ここでは、前記ゲート絶縁膜7、能動層12、16および保持容量8の上層電

極である容量電極3の材料であるa-Siも含めてプラズマCVDで形成されている。具体的には、下層より約500ÅのSi窒化膜、約1300ÅのSi酸化膜および約500Åのa-Siが連続プラズマCVDで形成される。

【0034】このa-Siは、約400度の窒素雰囲気中で脱水素アニールが行われ、その後、エキシマレーザによりP-Si化される。また符号13、17は、Si酸化膜から成るストッパ絶縁膜であり、能動層12、16のイオン注入時のマスクとなる。第1のTFT1は、このストッパ絶縁膜13をマスクにしてP（リン）イオンが注入され、Nチャンネル型のソース、ドレインが形成され、第2のTFT4は、B（ボロン）イオンが注入されてPチャンネル型のソース、ドレインが形成されている。

【0035】また図1のように、ホトリソグラフィ技術によりパターンニングされている。つまり第1のTFT1のP-Si層は、ゲートラインGLとドレインラインDLの左上交差部の下方で、ドレインラインDLと重畳し、ゲート電極11の上層を延在した後、保持容量電極2と重畳する容量電極3として延在されている。またこの容量電極3は、第2のTFT4のゲート電極15と電気的に接続するために用いられる接続配線30右端の下層に延在される。一方、第2のTFT4のP-Si層は、右側の駆動ラインVLの下層から第2のゲート電極15の上を延在し、透明電極から成る陽極6の下層に延在されている。

【0036】そして全面には、層間絶縁膜14が形成されている。この層間絶縁膜14は、下から約1000ÅのSi酸化膜、約3000ÅのSi窒化膜、1000ÅのSi酸化膜の三層構造が連続CVDで形成されている。この層間絶縁膜は、少なくとも一層有れば良い。膜厚もこれに限らない。

【0037】次に、層間絶縁膜14の上層には、図1の斜め線でハッチングしたドレインラインDL、駆動ラインVLおよび接続配線30が形成される。当然コンタクトが形成され、ドレインラインDLと第1のTFT1の半導体層とのコンタクト孔C1、駆動ラインVLと第2のTFT4の半導体層とのコンタクト孔C2、接続配線30と容量電極3とのコンタクト孔C4は、それぞれの半導体層が露出されている。また接続配線30と第2のゲート電極15のコンタクト孔C5、本発明の特徴となる駆動ラインVLとバイパスラインBLのコンタクト孔C6は、前述のコンタクト孔とは異なり、ゲート絶縁膜が余分に積層されているため、更にエッチングされCrが露出されている。このライン材料は、下層に1000ÅのMo、上層に7000ÅのAlが積層された構造であり、Moは、バリア層である。尚コンタクト孔C3は、後述する。

【0038】更に約2～3μmの平坦化膜PLNが全面

に形成されている。この平坦化膜P L Nの採用の理由の一つとして、従来例でも述べた有機E L用の膜にある。この膜は、第1のホール輸送層2 1、第2ホール輸送層2 2、発光層2 3及び電子輸送層2 4から成る。またホール輸送層は、一層から構成されても良い。従って、有機層が非常に薄い膜の積層体である。またE L素子は、電流駆動であるため、これらの膜厚が極めて均一に形成されないと、膜厚の薄い部分を介して電流が大量に流れ、その部分にひときわ輝く輝点が発生すると同時に、このポイントは、有機膜の劣化を発生し、最悪の場合破壊に至る。従って、この破壊を防止するには、陽極6を含む全面ができるだけ平坦である必要があり、ここではアクリル系の液状樹脂が塗布され、硬化後は平坦になる。もちろんこの平坦化膜P L Nは、これに限らない事は言うまでもない。

【0039】ここでは、陽極6と第2のT F T 4のソースが接続されるため、平坦化膜P L Nおよび層間絶縁膜1 4が開口され、第2の能動層1 6が露出されたコンタクト孔C 3が形成されている。

【0040】更に少なくとも陽極6上には、E L素子を構成する有機膜が形成されている。まず陽極6の上には、MTDATA (4,4-bis(3-methylphenylphenylamino)biphenyl) から成る第1ホール輸送層2 1、及びTPD (4,4,4-tris(3-methylphenylphenylamino)triphenylamine) からなる第2ホール輸送層2 2、キナクリドン (Quinacridone) 誘導体を含むB e b q 2 (10-ベンゾ[h]キノリノールベリリウム錯体) から成る発光層2 3及びB e b q 2から成る電子輸送層2 4からなる発光素子層E M、マグネシウム・インジウム合金、A lとT iの合金またはL i F等から成る陰極2 5がこの順番で積層形成された構造である。有機層の膜厚は、前述してあるのでそれを参照。また、陰極2 5はA lとT iの合金を採用し、その膜厚は1000~2000Åである。

【0041】ここで陽極6は、画素毎にパターニングされる必要があるが、陽極6の上の膜は、構造により区別される。

①：陽極6から陰極2 5まで画素毎にパターニングされる第1の構造

②：①に於いて、陰極2 5は、パターニングされず、実質的に表示領域全域にベタで形成される第2の構造。

③：陽極6だけが図1の様に画素毎にパターニングされ、陽極の上層から陰極までは、表示領域全域に励精された前記ベタ構造の第3の構造。

【0042】ただし、陰極6は、わざわざパターニングすることもないので一般には全面ベタ構造を採用している。また図面では、陽極6と陰極2 5が短絡してる如く図示されているが、E L素子の有機膜は、陽極6周辺も含み完全に覆われているので短絡は防止されている。これは従来例でも同じである。また陽極6のエッジをカバ

ーするように、平坦化膜P L Nの上に更に別の平坦化膜が形成されても良い。

【0043】更に、表示領域のE L層、または全てのE L層をカバーするメタルキャップが形成されている。E L層は、水を吸湿すると劣化し、水の浸入に対して保護が必要となるからである。従ってE L層を劣化させず、耐湿性の高い膜、例えば樹脂膜でキャップの代用としても良いし、更にこの上にメタルキャップをしても良い。

【0044】有機E L素子の発光原理および動作は、陽極6から注入されたホールと、陰極2 5から注入された電子とが発光層E Mの内部で再結合し、発光層E Mを形成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0045】本発明の特徴は、バイパスラインB Lにある。

【0046】図4の等価回路からも明らかのように、駆動ラインV Lは、点線で囲んだ表示領域内において、列方向に延在しており、列方向の各表示画素に接続されて駆動電流を供給している。この表示領域は、非常な長さになり、解決しようとする課題の欄にも述べたように抵抗分が発生するが、行方向に延在させたバイパスラインB Lと接続させることで、隣接する表示画素には同電位の電圧が印加されることになる。また電流も格子状に形成された駆動ラインV L及びバイパスラインB Lにより色々な方向から供給されることになり、各表示画素に設けられた有機E L素子に本来供給すべき電流を供給することができるので、前述した抵抗分による表示劣化、表示の明るさの低下を防止することができる。

【0047】また図3のバイパスラインB Lの様に、ゲートが形成された層に形成すれば、矢印で示す方向に移動が可能となる。つまり図1の陽極6とゲートラインG Lとの間に形成されたバイパスラインB Lを見て説明すれば、バイパスラインB Lは、陽極6と少なくとも一部を重畳させることができ、重畳させることにより、バイパスラインB Lを配置することによる面積増大を抑制することができる。またゲートラインG Lと陽極6の間には、ゲート絶縁膜7と層間絶縁膜1 4および平坦化膜P L Nが介在されるので、この間に発生する寄生容量は、殆ど無視することができる。

【0048】またバイパスラインB Lの位置は、駆動ラインV Lよりも下層に位置すれば良く、図5、図6に他の例を説明する。

【0049】図5は、バイパスラインB Lがゲート絶縁膜7の上に形成されるものである。ここで工程を簡略化する場合は、P-S iで構成されるが、前述した高融点金属でも良い。

【0050】図6は、バイパスラインB Lが層間絶縁膜の層間に形成されたもので、ここではP-S iが形成さ

れた後であるので、製造工程の温度上昇もそれほど厳しくないため、バイパスラインBLは、Alを主成分とする材料や高融点金属材料、P-Siを採用できる。層間絶縁膜は、下層からSi酸化膜、Si窒化膜、Si酸化膜が形成されるので、これらの間に前記バイパスラインBLを配置することができる。もちろん陽極との重畳も可能である。しかし上層に配置するに従い、寄生容量の増大は免れない。尚層間絶縁膜14内に形成される点線は、層間の界面を示すものである。

【0051】更にバイパスラインBLの挿入本数について述べる。つまり図4において、バイパスラインBLの本数は、少なくとも1本形成されれば、抵抗の減少は抑制できる。しかし各画素毎に配置すれば、抵抗の分布、電圧の分布が更に均一となり本来流れる電流、すなわち発光すべき輝度をより忠実に再現させることができる。

【0052】以上、ボトムゲート型構造で説明してきたが、本発明は、トップゲート型構造でも採用できる。トップゲート型TFTの場合は、透明基板上には、例えばP-Siから成る能動層、ゲート絶縁膜、ゲート、層間絶縁膜、メタル配線が積層され（この上層はボトムゲート型構造と実質同じ構造）るため、透明基板上では、Crや高融点金属で、ゲート絶縁膜の上には前記Al材料、高融点金属材料で、配線が形成できる。

【0053】最後に、表示画素領域の外側に配置されるバイパスラインBL0について述べる。図4で、一番外側の実線は、EL表示装置の外形であり、太い実線は駆動電源と接続されたバイパスラインBL0で、更にその下に示す矩形は、駆動回路が形成された領域である。つまり表示領域から透明基板の外形までの形態を模式的に示している。ここで駆動回路はP-Siで作り込まれている。図からも判るようにドレインラインDLは、駆動回路形成領域で回路と接続されて一端終結しており、駆動回路形成領域と外形の間は、ドレインラインDLが形成されていない。従ってドレインラインDLとの交差もなく図のようにバイパスラインBL0が左右に太く延在できるスペースを有している。しかもバイパスラインBL0は、ドレインラインDLまたは駆動ラインVLと同層で形成でき、Alを主成分とする材料で配線が形成できる。従ってバイパスラインBL0自身の抵抗を大きく低下させることができ、駆動ラインVLの抵抗値をより低下させることができると同時に安定した電圧を供給できる。

【0054】上述の実施の形態においては、半導体膜としてp-Si膜を用いたが、微結晶シリコン膜又は非晶質シリコン膜等の半導体膜を用いても良い。

【0055】更に、上述の実施の形態においては、有機EL表示装置について説明したが、本発明はそれに限定されるものではなく、発光層が無機材料から成る無機EL表示装置にも適用が可能であり、同様の効果が得られる。

## 【0056】

【発明の効果】以上の説明からも明らかなように、第1に、駆動ラインのそれぞれを、延在方向と交差する方向に設け、駆動ラインと電氣的に接続され、前記駆動ラインよりも下層の位置にバイパスラインを設けることで、駆動ラインは、格子状に形成されたことになり、駆動電源入力端子から遠ざかっても、抵抗値の下がる割合は、従来のものよりも抑制させる事ができる。

【0057】また駆動ラインとバイパスラインは、本来同層にて形成できるが、その分バイパスラインの配置面積を必要とする。しかしバイパスラインの下層に置くことで、例えば陽極と重畳させることができる。しかも陽極とバイパスラインとの間には、からり厚く絶縁層が形成されるため、寄生容量の問題も抑制される。

【0058】更には、前述したようにバイパスラインの少なくとも一部を前記陽極と重畳させることで、バイパスラインの配置に依って拡大する表示領域の拡大化を抑制させることができる。また抑制させた分、他の構成要素を拡大させることもできる。

【0059】また、バイパスラインを、前記表示画素毎に形成し、前記駆動ラインとの重畳部にコンタクトを形成する事で、各表示画素のムラをより抑制させることができる。

【0060】従って、駆動ラインの長さによる抵抗の増大を低減し、本来供給されるべき電流を各表示画素のEL素子に供給することができ、暗い表示になることを防止することができるEL表示装置を得ることができると同時に、EL表示領域の拡大化も抑止することができる。

## 【図面の簡単な説明】

【図1】本発明のEL表示装置の表示画素の平面図である。

【図2】図1のA-A線の断面図である。

【図3】図1のB-B線の断面図である。

【図4】本発明のEL表示装置の等価回路図である。

【図5】図3のバイパスラインBLの配置位置を説明する図である。

【図6】図3のバイパスラインBLの配置位置を説明する図である。

【図7】従来のEL表示装置の表示画素の平面図である。

【図8】従来のEL表示装置の等価回路図である。

【図9】図7のA-A線の断面図である。

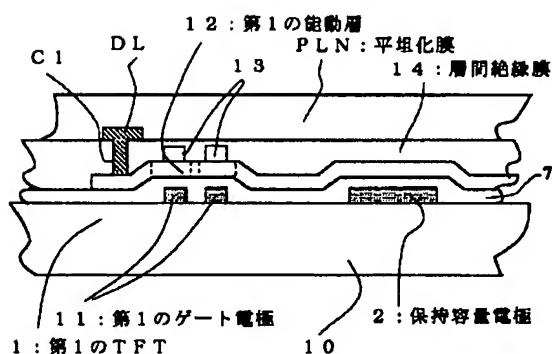
【図10】図7のB-B線の断面図である。

## 【符号の説明】

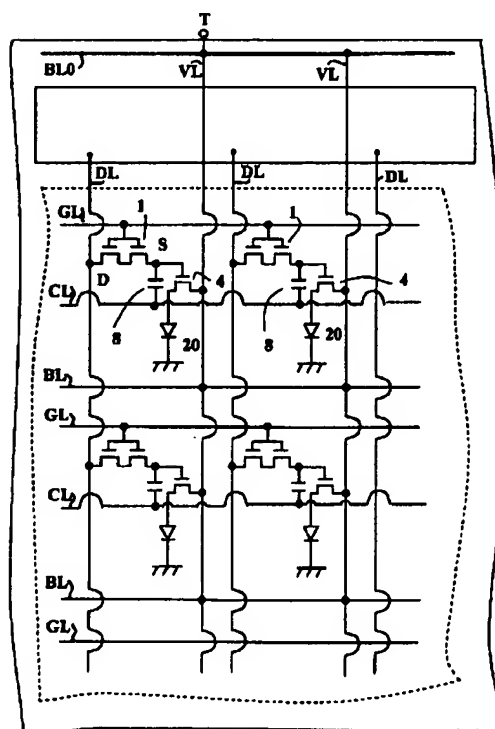
1	第1のTFT
2	保持容量電極
3	容量電極
4	第2のTFT
50 6	陽極

DL ドレインライン  
 CL 保持容量ライン  
 VL 駆動ライン VL  
 BL バイパスライン BL

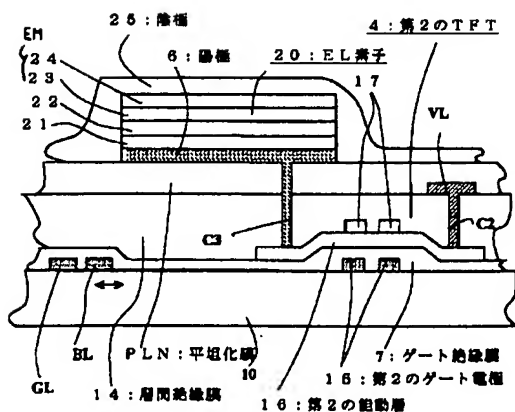
【图2】



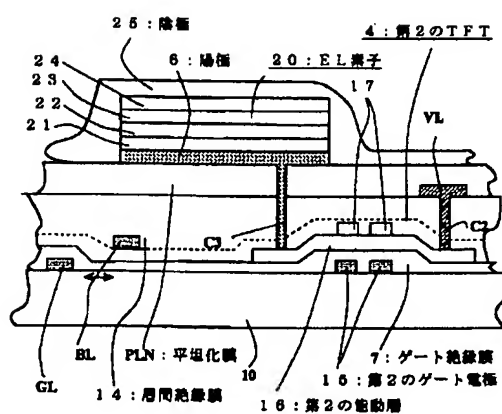
【図 4】



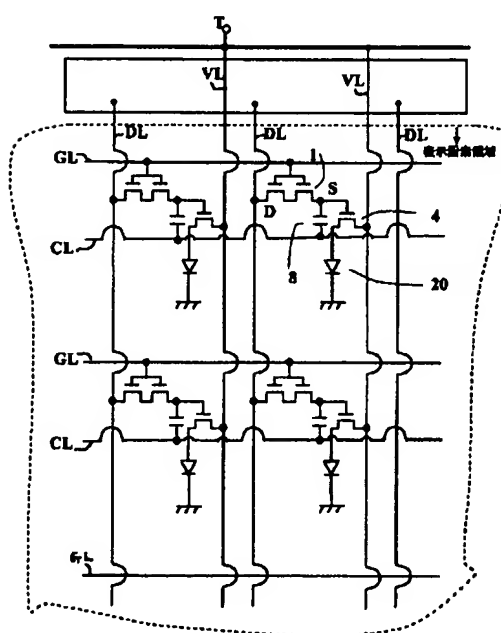
【图3】



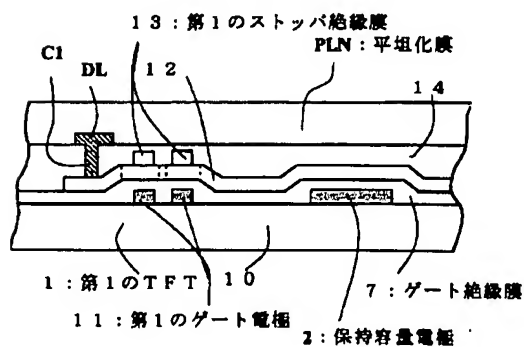
【図6】



【图8】

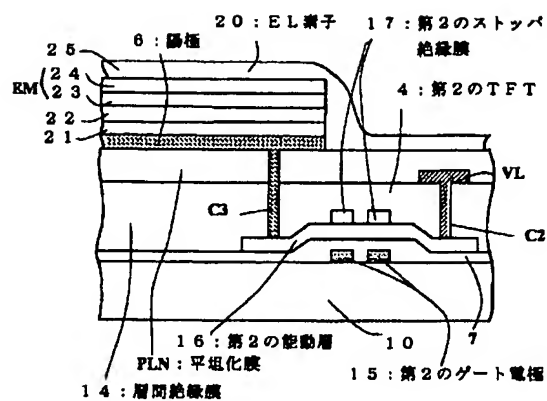


【图9】





【図10】



フロントページの続き

F ターム(参考) 3K007 AB02 AB17 BA06 CA01 CB01  
 DA01 DB03 EB00 FA01  
 5C094 AA04 AA10 AA13 AA15 AA24  
 AA53 AA55 BA03 BA29 CA19  
 DA13 DB01 DB04 DB10 EA04  
 EA05 EA07 EB02 FA01 FA02  
 FB02 FB12 FB14 FB15 GA10  
 GB10